

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020003001 A
(43)Date of publication of application: 10.01.2002

(21)Application number: 1020000037382
(22)Date of filing: 30.06.2000

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor:
JIN, SEONG GON
LEE, TAE GWON
LEE, WAN GYU
PARK, TAE SU
YANG, JUN MO

(51)Int. Cl H01L 21/24

(54) METHOD FOR FORMING EPITAXIAL TITANIUM SILICIDE LAYER



(57) Abstract:

PURPOSE: A method for forming an epitaxial titanium silicide layer is provided to reduce a contact resistance and leakage current of a semiconductor device by preventing a condensing phenomenon of a silicide layer.

CONSTITUTION: A nitrogen trap layer is formed by performing a nitrogen plasma process on a surface of a silicon substrate(21). A titanium layer is deposited on the silicon substrate(21) including the nitrogen trap layer by using an IMP(Ion Metal Plasma) method. A titanium nitride(24) is formed by reacting the nitrogen trap layer with the titanium layer in a rapid thermal process. An epitaxial titanium silicide layer(25) is formed on the surface of the silicon substrate(21) by performing a thermal process. The epitaxial titanium silicide layer(25) is used for restricting a silicide reaction between the titanium layer and the silicon substrate(21).

© KIPO 2002

Fast Available Copy

Legal Status

Date of final disposal of an application (20041218)

Patent registration number (1004649420000)

Date of registration (20041224)

Date of opposition against the grant of a patent (00000000)

한국공개특허공보 특2002-3001호 사본 1부.

[첨부그림 1]

특2002-0003001

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. IDIL 21/24	(11) 공개번호 특2002-0003001
(21) 출원번호 2000-0037382	(43) 공개일자 2002년 01월 10일
(22) 출원일자 2000-06월 30일	
(71) 출원인 주식회사 히마닉스반도체 경기도 이천시 부발읍 미미리 산136-1 이태경	
(72) 발명자 경기도성남시 분당구 미매동 아름마을 간영아파트 112-104 양준모 경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 103-706 박재수 서울특별시 강남구 역삼동 629-7 전성관 경기도 이천시 대월면 사동리 441-1 현대전자사원아파트 110-1501 이원규 경기도 성남시 분당구 정자동 117 한솔주공아파트 603-706 특허법인 선성	
(74) 대리인	

설명구 : 없음

(54) 제피액설 티타늄설리사이드막의 형성 방법

요약

본 발명은, 후속 열공정사, 상변태 및 응집이 발생되는 것을 방지하는데 적합한 티타늄설리사이드막의 형성 방법에 관한 것으로, 이를 위한 본 발명은 점리콘을 표면에 점소플라즈마를 처리하여, 상기 점리콘을 표면에 점소트립플을 형성하는 제 1 단계; 상기 점소트립플을 포함한 점리콘을 상에 티타늄막을 형성하고 상기 티타늄막을 증착시, 상기 점소트립플과 증착되는 티타늄막이 반응하여 티타늄니마트리아드막을 형성하는 제 2 단계; 및 상기 제 2 단계의 결과물에 물처리를 실시하여 상기 점리콘을 표면에 헤피액설 디나킬 설리사이드막을 형성하는 제 3 단계를 포함하며, 상기 티타늄니마트리아드막은 상기 티타늄막과 점리콘을의 설리사이드막을 형성하는 억제시킨다.

도면도

도면

세부이

티타늄설리사이드, C54, C49, 응집, 점소플라즈마

도면

도면의 간접적 쇠류

도 1은 증래기술에 따른 티타늄설리사이드막의 형성 방법을 개략적으로 도시한 도면,
도 2a 내지 도 2b는 본 발명의 실시예에 따른 제피액설, C49-TISI,의 형성 및 방법을 도시한 도면,
도 3a 및 도 3b는 점소플라즈마처리에 따른 TISI, 상기 구조변화를 도시한 그림,
도 4a 및 도 4b는 점소플라즈마처리의 유무에 따른 TISI,의 미세구조변화를 도시한 그림,
도 5a는 점소플라즈마처리를 실시하지 않은 C54-TISI,의 단면을 도시한 도면,

ABSTRACT

The present invention relates to a metal line structure that is highly heat-resistant and a method for forming the same. First, an inter-layer insulation layer is formed on a bottom conductive layer formed on a substrate in which an active region is formed, and then, a portion of the inter-layer insulation layer is removed to form a contact opening that exposes a portion of the bottom conductive layer. Afterwards, a reaction adjustment layer including a metal compound with a high melting point and a reaction metal layer including a metal with a high melting point are sequentially formed over the above resulting structure, or the reaction adjustment layer and the reaction metal layer are deposited consecutively at the same apparatus. A thermal annealing process is then applied to form an ohmic layer on the bottom conductive layer disposed at the bottom of the contact opening. Only the reaction metal layer or both the reaction metal layer and the reaction adjustment layer is/are removed. A diffusion barrier layer including a material with a high melting point and a top conductive layer are sequentially formed on the resulting substrate structure without the reaction metal layer and/or the reaction adjustment layer, thereby forming a high heat-resistant metal line structure. The reaction adjustment layer causes the ohmic layer including a material like titanium silicide to be uniformly formed, and as a result, it is possible to improve device characteristics and enhance the integration scale of semiconductor devices.

도 5b는 질소플라즈마를 처리하여 형성한 C49-TiSi_x의 단면을 도시한 도면.

도 6은 흐름·급속열처리온도에 따른 TISI의 구조변화를 도시한 그래프.

•도연의 주요 출판에 대한 평호의 평

21 : 실리콘기판 22 : 접수통합출

23 : 티타늄막

24 : 티탄늄나이트라이드막

25 : C49-TiSi₂

韓國의 民權黨 派系

약명의 목록

설명에 속하는 기술이나 빛 그 모아의 증례기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 실리콘기판과 금속의 접합부위에 적용하는 티타늄실리사이드(TiSi)의 형성 방법에 관한 것이다.

임반적으로, 반도체소자의 성능 향상을 위해 비트라인(Bitline)이나 캐퍼시티전극(Capacitor electrode)으로 금류(Metal)을 사용하는데, 이 때 실리콘기판과 금속의 접합부분(Contact)에 타이드슬라이시드(이하 TSL)라고 하는 구조를 찾을 수 있는데: 상기와 같은 TSL 위에 형성되는 $TiSi_3$ 은 폴리결정(Poly-crystalline)구조를 가지며, $8PSB$ (Boro-phospho-Silicate-Glass) 풀로온(Flow-on) 캐퍼시터, 공정과 같은 흙속 고온 공정을 거치게 되는데: 흙의 방법으로 형성된 $TiSi_3$ 은 융합(Agglomeration)현상이 발생하여 소자의 특성을 나쁘게

도 1은 증래기술에 따른 TISI의 혈성 방법을 도시한 도면으로서, 실리콘기판(11)상에 디타늄을 증착한 후, 절소(N₂)분위기에서 급속열처리(Rapid Thermal Process; RTP)를 실시하여 TISI(12)를 형성한다.

이 때, 살기 금속얼처리는 1단계 또는 2단계로 전행하는데, 비트리아민이나, 캐퍼시티아의 친화부분은 후속 고온열공정을 받기 때문에 후속 열공정시 상변태에 의한 등진을 방지하기 위하여 2단계 열처리를 통해 안정성이 있는 CA4-TiSiN을 얻을 수 있다. 한편, 금속배선과의 친화부분은 후속 고온열공정이 없으므로 한 번의 열처리를 통해 CA9-TiSiN을 얻을 수 있다.

그러나, 비트리언이나 캐피시티전극과의 접합부분에 적용되는, TISI₁를 CS4-TISI₁로 원전반제시커 안정성으로, 형성하여도 속도 멀경정, 예컨대, BPSL로로, 캐피시티 열처리시에 CS4-TISI₁의 새로운 형성성과 함께 성장(Grain growth)에 의해 TISI₁의 융집이 일어나고, 살펴온기판(11)과 TISI₁(12)의 계면, 거칠기(Roughness) 증가에 의해 저항이나 Nusselt전류를 증가시킨다.

또한, CS4-TIS1의 혼생성과 성장은, 2단계 금속염처리후에 남아있는 전류(C4-TIS1)의 반도 또는 미반응 티타늄이 살리코기판과 반응하여 나타나는 현상으로, 입체(3D) boundary에서 시작된다. 이 때, 상기 1계(1D) *golden boundary*는 경계면변형에서 나온 지역으로, 예전에 나온 지역으로, 새로운 상의 혼생성을 쉽게 만나는 지역이다. 따라서 다른광 TIS1의 경우, 전류 C4-TIS1이거나, 미반응 티타늄을 제거하지 않으면 전류는 경계면변형에서 나온 지역에, 즉 상기 1계 지역에 위치하게 된다.

그리고, 이미 혁신된 CS4-T13는 협력학적 에너지를 낮추기 위하여 경쟁입계 면적이 감소하는 그루빙

ANSWER SHEET

본 발행은 상기 종래기술의 문제점을 해결하기 위해 만족한 것으로서, 실리사이드막의 융집현상을 방지하는 소재인 모래과자인 셀프드롭 가소시카는데, 전 60% 디티다는 실리사이드막의 혼성 보판에 확장 것이다.

1950년 국선 미술전

상기 목적을 달성하기 위던 본 발명은, 실리콘을 표면에, 절소를 다른 나사를 처리하여, 상기 실리콘을 표면에 결소트랙층을 형성하는 제 1 단계; 상기 절소트랙층을 포함한 실리콘층에 터티늄막을 형성하고, 상기 터티늄막의 융착에 상기 결소트랙층을 증착하는 터티늄(이하, 반응하여 터티늄나이트리아이드막을 형성하는 제 2 단계; 및 상기 제 2 단계의 결구ацион에 일처리를 실시하여 상기 실리콘을 표면에 아파트릭 터티늄 실리아이드층을 형성하는 제 3 단계를 포함하여, 상기 터티늄나이트리아이드막은 상기 터티늄막과 실리콘층의 실리아이드반응을 억제시킬 것을, 조정으로 한다.

미하, 본·발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바탕작한 실시예를 첨부 도면을 참조하여 설명

명하기로 한다.

도 2a 내지 도 2c는 본 발명의 실시예에 따른 에피택시 C49-T131의 형상, 빛깔을 도시한 도면이다.

도 2b에 도시된 바와 같이, 상기 점소트램프(22)를 포함한 실리콘기판(21)상에 IMP(Ion Metal Plasma)를 이용하여 티타늄(23)을 50 Å ~ 300 Å의 두께로 증착한다.

도 2에 도시된 바와 같이, 상기 티타늄(23) 증착후, 살리시아이드 반응을 위한 2단계 금속염 처리를 실시한다. 미 때, 상기 금속염 처리의 단계는 570°C~650°C에서 20초~30초 동안, 철 소분위기로 실시하여, 2단계는 850°C~900°C에서 20초~30초동안 철 소분위기에서 실시한다.

상기와 같이 절 소트먼턴(22)이 형성된 상태에서 금속침자리를 실시하므로, 증가되는 티타늄(23) 원자와 질소-트랜스포트(22)의 반응하여 티타늄나이트라이드(TIN)(24)를 형성하게 되고, 상기 티타늄나이트라이드(TIN)(24)는 살리코마이트 및 타이티늄의 화산물을 방지하여 살리코마이트의 형성 속도를 높이게 된다.

이 때, 상기 C49-TISI₂(25)는 살리콘기반(21)과 (060)TISI₂//(200)SI, [001]TISI₂//(011)SI의 방위관계를 갖는 애리얼슬림이며, 입체가 존재하지 않으므로 C54-TISI₂의 핵생성이 어렵고 입계면적 감소에 의한 그루복성성이 발생하는 경향이 있다.

성기와 같이 멤피액설(C49-11SI, 25)은 실리콘가ican(21)과 반정합 계면을 형성하고 미스피트(Misfit) 전위를 형성하므로서 실리콘가ican(21)과 티타늄실리사이드간의 계면에서의 변형에너지율 최소화한다.

융상적으로 C49-TISI₂에서 C54-TISI₂로의 변태시 C54-TISI₂의 핵은 입개의 높은 에너지 지역에서 형성되는데, 에피택실 C49-TISI₂(25)는 입개가 존재하지 않고 실리콘과의 개연만이 존재한다.

이므로, 살리코기진(21)과 예피렉설 C49-TISI-(25)의 계면은 반정합률을 형성하므로써 최소의 에너지만을 가지기 때문에, 일반적인 다풍경 구조의 C49-TISI-(25)에 비해 C54-TISI-(5)의 핵생성이 일어나기 어렵다. 따라서 후속 알파점성 예피렉설 C49-TISI-(25)와 C54-TISI-(5)로의 상변대가 발생되지 않으며, C54-TISI-(5)의 핵생성이 서서히 이루어지는지는 확인이 어렵다.

도 3은, 절소플라즈마처리에 따른 TISI_상의 구조변화를 나타낸 도면으로서, 절소플라즈마처리를 실시하지 않은 경우(A), (311)면의 054-TISI_상이 나타나며, 절소플라즈마처리를 30초 동안 실시한 경우(B), (060)면의 C49-TISI_상이 나타난다.

도 46. 및 도 46는 절소플라즈마치료의 유무에 따른, T1S1-의 미세구조변화를 도시한 그레프로서, 절소플라즈마치료를 하지 않은 경우, (040)C4-T1S1, (220)CS4-T1S1, (311)CG4-T1S1-만이 나타나며, 절소플라즈마치료를 하는 경우에는 (020)C49-T1S1, (040)C49-T1S1, (114)T1S1-만이 나타난다.

도 56에 도시원 비와 같이, 점소리라즈마처리음 실시하지 않은 경우, 실리콘기판과 C54-T1S, 상의 개별에 입체가 존재할 수를 알고, 도 5b에 도시원 비와 같이, 점소리라즈마처리음(30초)을 실시한 경우, 기판과 C54-T1S의 계면에 입체가 존재하지 않고, C54-T1S의 계면에 입체가 존재하지 않고, 실리콘기판의 (200)μm을 통한 확장화면을 얻을 수 있다.

도 6은 후속 금속열처리온도에 따른 TiSi_x의 구조변화를 도시한 그래프로서, 1000°C의 열처리에서도 C49-

이상, 상당수 존재할 수 있는 반면, CG4-T1SI는 존재하지 않는다.

상술한 것처럼, 디타늄 페로스포마이트-치아를 살피시므로써 예피핵 C49-T1SI, (25)미 후속 금속 치아리공정 시 1000°C 까지 안전한 상태로 존재한다.

본 발명의 기술은 상식을 살기 넘치는 실시예에 따라 구체적으로 기술되었으나, 살기 넘치는 실시예에는 그 설명을 생략하는 경우가 있다. 예상되는 경우에 있어서는 당연히 예상되는 범위 내에서 당연히 적용되는 것으로 본다.

를 위한 것이라 그 세운을 위한 것이 아름다움을 주어야해야 한다. 또한, 문, 물방수, 기술로 아름다움을 더해보면 좋을 것이다. 그러면 본 법명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

승하 목 빙대

정부는 본래 국어법을 바탕으로 풍습·용어는 권리의 기준에 합리화되거나 다른 권리와의 (100)면과 (060)면이 평행한 에피택스 C49-T1SI의 형성하므로써 상반체가 발생하지 않은 절차으로 인

[첨부그림 4]

특 2002-0003001

정한 실리사이드막을 형성할 수 있는 효과가 있으며, 또한 상기 에피액설 C49-TISI는 후속 업처리공정시 1000°C까지 올길이 발생하지 않으므로 금속비트리만 및 실리콘기판, 금속캐비티전극과 실리콘기판과의 분리현상시 저항 및 누설전류를 감소시킬 수 있는 효과가 있다.

(7) 첨구의 첨부

첨구항 1

실리사이드막 형성 방법에 있어서,

실리콘층 표면에 질소플라즈마를 처리하여 상기 실리콘층 표면내에 질소트랩층을 형성하는 제 1 단계;
상기 질소트랩층을 포함한 실리콘층에 티타늄막을 증착하고, 상기 티타늄막 증착시 상기 질소트랩층과
증착되는 티타늄막이 반응하여 티타늄나이트리아이드막을 형성하는 제 2 단계; 및
상기 제 2 단계의 경과물에 염처리를 실시하여 상기 실리콘층 표면에 에피액설 티타늄실리사이드막을 형
성하는 제 3 단계를 포함하며,

상기 티타늄나이트리아이드막은 상기 티타늄막과 실리콘층의 실리사이드반응을 억제시키는 것을 특징으로
하는 티타늄실리사이드막의 형성 방법.

첨구항 2

제 1 항에 있어서,

상기 제 1 단계는,

400°C ~ 450°C 온도와 3torr ~ 5torr의 압력하에서 N₂ 또는 NH₃ 플라즈마를 이용하여 이루어지는 것을 특징으
로 하는 티타늄실리사이드막의 형성 방법.

첨구항 3

제 1 항에 있어서,

상기 제 2 단계에서,

상기 티타늄막은 ICP증착법을 이용하여 50A ~ 300A의 두께로 형성되는 것을 특징으로 하는 티타늄실리사
이드막의 형성 방법.

첨구항 4

제 1 항에 있어서,

상기 제 3 단계에서,

상기 염처리는 2단계로 진행되며, 1단계는 질소분위기의 670°C ~ 850°C에서 20초 ~ 30초동안 실시되고 2단
계는 질소분위기의 850°C ~ 900°C에서 20초 ~ 30초동안 실시되는 것을 특징으로 하는 티타늄실리사이드막의
형성 방법.

첨구항 5

제 1 항에 있어서,

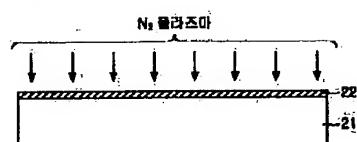
상기 에피액설 티타늄실리사이드막은 49상 티타늄실리사이드막이며, 상기 에피액설 티타늄실리사이드막
의 (060)면이 실리콘층의 (100)면에 평행하게 형성된 것을 특징으로 하는 티타늄실리사이드막의 형성 방
법.

도면

도면 1



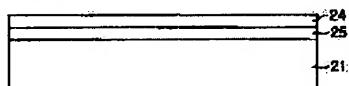
도면25



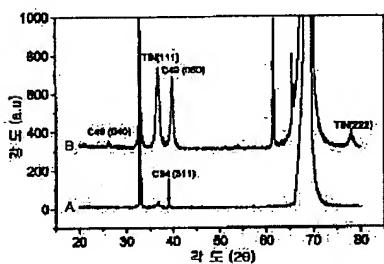
도면26



도면27



도면28



특2002-0003001

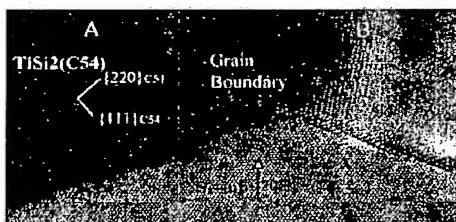
도B4a



도B4b



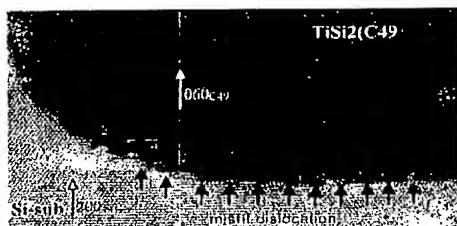
도B5a



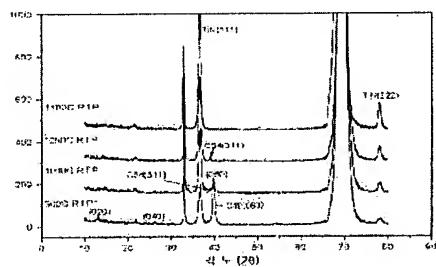
[첨부그림 7]

5 2002-0003001

EP/56



五四〇



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.